

## *Action TICK*

*Etude et implémentation des systèmes réactifs synchrones*

*Sophia Antipolis*

THÈME 1C

*R*apport  
*d'Activité*

2000



## Table des matières

<b>1</b>	<b>Composition de l'équipe</b>	<b>3</b>
<b>2</b>	<b>Présentation et objectifs généraux</b>	<b>4</b>
2.0.1	Contexte et Objectifs du projet . . . . .	4
2.0.2	Axes de recherche . . . . .	4
2.0.3	Relations internationales et industrielles . . . . .	5
<b>3</b>	<b>Fondements scientifiques</b>	<b>5</b>
3.1	Programmation Réactive Synchrones et Esterel . . . . .	5
3.2	Méthodes d'analyse et de vérification automatique de systèmes réactifs synchrones . . . . .	7
<b>4</b>	<b>Domaines d'applications</b>	<b>7</b>
4.1	Télécommunications . . . . .	7
4.1.1	Programmation réactive synchrones de protocoles . . . . .	7
4.1.2	Spécification de microcontrôleurs dédiés . . . . .	8
4.2	Systèmes embarqués en avionique/automobile . . . . .	8
4.3	Synthèse de circuits . . . . .	8
4.4	Conception conjointe matériel / logiciel . . . . .	8
<b>5</b>	<b>Logiciels</b>	<b>9</b>
5.1	Esterel . . . . .	9
5.2	Xeve . . . . .	9
<b>6</b>	<b>Résultats nouveaux</b>	<b>10</b>
6.1	Compilation et optimisation modulaire d'Esterel . . . . .	10
6.2	Extensions de la syntaxe et expressivité . . . . .	11
6.3	Exécution «efficace» logicielle de programmes Esterel . . . . .	11
6.4	Abstraction de registres dans l'analyse de programmes . . . . .	11
6.5	Partitionnement séquentiel pour le calcul symbolique d'états atteignables . . . . .	12
6.6	Modélisation de réseaux asynchrones de processus synchrones . . . . .	12
6.7	Spécification simple de propriétés de correction . . . . .	12
6.8	Connexion avec les formalismes de descriptions de circuits . . . . .	13
<b>7</b>	<b>Contrats industriels (nationaux, européens et internationaux)</b>	<b>13</b>
7.1	Programmation synchrone pour les télécommunications . . . . .	13
7.2	Cadence: conception conjointe et globale . . . . .	13
7.3	Synopsys: synthèse de circuits . . . . .	13
7.4	Intel . . . . .	14

<b>8</b>	<b>Actions régionales, nationales et internationales</b>	<b>14</b>
8.1	Actions nationales . . . . .	14
8.1.1	Action de développement AEE . . . . .	14
8.1.2	Action de recherche coopérative S-JAVA . . . . .	14
8.1.3	Action Color-2000 Discobac . . . . .	14
<b>9</b>	<b>Diffusion de résultats</b>	<b>15</b>
9.1	Animation de la Communauté scientifique . . . . .	15
9.2	Enseignement . . . . .	15
<b>10</b>	<b>Bibliographie</b>	<b>16</b>

---

*TICK est une action commune entre l'INRIA et le Centre de Mathématiques Appliquées (CMA) de l'École des Mines de Paris. Elle a été fondée au début de l'année 2000 en prolongement de l'ex-projet MEIJE.*

## 1 Composition de l'équipe

### Responsable scientifique

Robert de Simone [directeur de recherches, Inria]

### Responsable permanent

Amar Bouali [chargé de recherche]

### Assistante de projet

Catherine Juncker [attachée d'administration de la recherche]

### Personnel Inria

Annie Ressouche [chargée de recherche]

### Ingénieur expert

Xavier Thirioux [depuis le 1er septembre]

### Personnel CMA

Gérard Berry [directeur de recherches, École des Mines de Paris]

Xavier Fornari [ingénieur Armines, jusqu'au 1er juin]

Vincent Giraudon [attaché de recherche Ecole des Mines]

### Chercheurs doctorants

Yannis Bres [allocataire MENESR et moniteur UNSA]

Loïc Henry-Gréard [allocataire AMX MENESR]

Fabrice Peix [allocataire MENESR et moniteur UNSA, depuis septembre]

Dumitru Potop-Butucaru [boursier Eiffel]

Eric Vecchié [boursier région PACA, depuis septembre]

## Collaborateurs extérieurs

Charles André [professeur à l'UNSA]

Ellen Sentovich [Cadence Berkeley Labs]

## Stagiaires

Fabrice Peix [stagiaire DEA Informatique UNSA]

Eric Vecchié [stagiaire DEA Informatique UNSA]

## 2 Présentation et objectifs généraux

### 2.0.1 Contexte et Objectifs du projet

L'action Tick a comme objectif l'étude et l'analyse des systèmes réactifs synchrones, ainsi que leur programmation effective et efficace. Nous développons dans ce cadre le langage Esterel, son environnement de programmation et sa sémantique mathématique, ainsi que des logiciels d'analyse et de vérification appropriés.

La programmation réactive synchrone est particulièrement adaptée aux systèmes temps réel, manipulant des événements logiques avec préemption. Le même formalisme peut modéliser des circuits digitaux, des contrôleurs logiciels, ou des systèmes mixtes incluant logiciel et matériel. Les domaines d'applications principaux sont les systèmes embarqués à forte composante contrôle.

Déjà utilisé chez Dassault Aviation pour l'informatique embarquée de ses avions de combat, par Texas Instruments pour la conception de circuits dédiés en téléphonie mobile, et par Cadence pour la conception conjointe de matériel et de logiciel, Esterel est actuellement en phase d'industrialisation et de commercialisation par la société Esterel Technologies. Nous poursuivons en parallèle des études sur de nouvelles techniques avancées de compilation et d'analyse.

Une version graphique du langage, dénommée SyncCharts, a été conçue par Charles André, membre du projet SPORTS de l'Université de Nice Sophia-Antipolis, et collaborateur extérieur de notre équipe.

### 2.0.2 Axes de recherche

La compilation actuelle de programmes Esterel utilise une traduction des programmes réactifs en systèmes d'équations booléennes, un formalisme très proche des modèles de circuits digitaux en portes logiques. Ce format intermédiaire est ensuite manipulé par des algorithmes d'analyse, d'optimisation, puis de compilation (logicielle) ou de synthèse (matérielle). Ces algorithmes ont une complexité parfois importante sur de gros programmes, et nous travaillons essentiellement à la conception de nouvelles techniques permettant leur passage à l'échelle, ainsi que la production de code logiciel efficace. Ces améliorations exploitent dans une large mesure

les informations structurelles syntaxiques des programmes, dans une approche plus modulaire du traitement des programmes actuels.

Par ailleurs, nous étudions des extensions au langage pour augmenter son expressivité pratique, ainsi que l'efficacité de son implantation. Nous étudions également des extensions de nos techniques d'analyse à base de «model-checking» symbolique, en particulier pour le traitement des données par des abstractions appropriées. Enfin, nous étudions l'extension de nos travaux hors du cadre strictement synchrone, en particulier les réseaux asynchrones de processus synchrones, dans des buts d'implantation ou d'analyse.

En relation avec des industriels du domaine, nous nous intéressons à la relation entre nos modèles et les langages de description de circuits, comme VHDL et Verilog, dans le but d'accéder aux environnements actuels de synthèse de circuits en CAO électronique.

### 2.0.3 Relations internationales et industrielles

Le compilateur Esterel (version binaire) est disponible par ftp avec son environnement de simulation graphique Xes et son logiciel d'analyse et de vérification Xeve. Nous avons créé le site <http://www.esterel.org> pour rassembler la communauté d'utilisateurs et organiser la distribution de nos logiciels.

Nous participons au projet RNRT Syntel, avec Simulog, Cadence et Thomson CSF. Nous avons participé au projet Esprit LTR Syrf, sur le développement des formalismes réactifs synchrones.

Nous collaborons régulièrement avec les sociétés Dassault Aviation, Thomson CSF, Cadence, Intel, Synopsys, et Texas Instruments.

Nous participons à l'action de développement AEE, coordonnée par le projet INRIA SOSSO.

## 3 Fondements scientifiques

### 3.1 Programmation Réactive Synchrone et Esterel

**Participants :** Gérard Berry, Amar Bouali, Yannis Bres, Robert de Simone, Xavier Fornari, Loïc Henry-Gréard, Dumitru Potop, Annie Ressouche.

*Cette activité est un thème de collaboration avec l'équipe SPORTS de l'I3S (CNRS/UNSA), dirigée par Charles André.*

**Mots clés :** Esterel, programmation réactive synchrone, sémantique, causalité, temps réel, compilation, optimisation, circuit digital, conception conjointe.

**Résumé :** *Le langage Esterel permet la programmation structurée de systèmes réactifs synchrones. La syntaxe impérative du langage est adaptée aux systèmes dominés par le contrôle. Elle repose sur des primitives spécifiques de parallélisme et de préemption hiérarchisée. La sémantique formelle permet la définition exacte des comportements de programmes, la traduction vers des formats adaptés à la*

*synthèse de logiciel ou de matériel, l'optimisation de cette synthèse et la vérification de propriétés de programmes.*

On désigne comme *réactifs* les systèmes dont la caractéristique principale est d'interagir avec leur environnement extérieur au rythme de cet environnement. Les systèmes réactifs *synchrones* s'appuient sur les notions d'horloge globale, de diffusion instantanée d'informations, de parallélisme déterministe et de préemption pour fournir un modèle de programmation cohérent et adapté. Esterel propose les primitives syntaxiques correspondantes, en complément d'un langage impératif traditionnel. Les opérations de manipulations de données sont reportées vers un langage hôte, par exemple C.

Les applications d'Esterel sont les contrôleurs temps-réel, les systèmes embarqués, les protocoles de communication, les interfaces homme-machine, les parties contrôle de circuits digitaux et, plus généralement, les systèmes réactifs dominés par le contrôle.

Le comportement d'un programme Esterel est défini par une sémantique mathématique formelle [1]. Un programme peut être compilé en un système d'équations booléennes avec mémoires, c'est-à-dire en un circuit synchrone. Cette traduction permet la synthèse directe de circuits électroniques ou la synthèse de programmes par tri des équations et traduction directe en C. Elle permet également de s'interfacer avec de nombreux systèmes de vérification formelle comme ceux développés dans le projet.

Les recherches actuellement développées autour du langage et de son modèle comportemental concernent :

- la caractérisation de la sémantique constructive et l'étude d'algorithmes efficaces pour son calcul; cette sémantique permet de traiter des programmes comportant des cycles de dépendances instantanées de signaux, pourvu que ces cycles soient dynamiquement sains ;
- l'étude de l'optimisation des circuits et programmes engendrés, et en particulier de leur optimisation modulaire ;
- le lien entre les langages synchrones dominés par le contrôle comme Esterel et les langages synchrones dominés par les données comme Lustre et Signal ;
- le lien entre les langages synchrones et les nouvelles méthodes de synthèse de systèmes mixtes matériel / logiciel ;
- les extensions syntaxiques au langage pour étendre son utilisabilité et son expressivité.

Les développements théoriques conduisent à des algorithmes implantés dans les différentes parties du compilateur Esterel v5, diffusé industriellement, et du nouveau compilateur modulaire prototype Esterel v6. Des retours d'utilisateurs industriels ou universitaires viennent fréquemment susciter de nouvelles questions théoriques et pratiques concernant les méthodologies de conception et leurs besoins algorithmiques.

## 3.2 Méthodes d'analyse et de vérification automatique de systèmes réactifs synchrones

**Participants** : Gérard Berry, Amar Bouali, Robert de Simone, Fabrice Peix, Annie Ressouche, Xavier Thirioux, Éric Vecchié.

**Mots clés** : vérification automatique, fiabilité, diagrammes de décision binaires, model-checking, partitionnement, abstraction.

**Résumé** : *Les modèles synchrones de systèmes réactifs réclament et permettent à la fois des méthodes puissantes d'analyse et de vérification automatique de propriétés fonctionnelles. Ces méthodes sont basées sur une exploration exhaustive des configurations dynamiquement atteignables du système. Elles utilisent des techniques de représentation symbolique comme les BDD (diagrammes de décision binaires). L'efficacité algorithmique de certains algorithmes est cruciale pour le passage à l'échelle de ces méthodes sur des exemples de taille industrielles.*

Les techniques de «model-checking» symbolique sont désormais bien établies dans le domaine de la vérification automatique de systèmes réactifs synchrones. Néanmoins, les problèmes de performance dus à des phénomènes d'explosion combinatoire nous conduisent à rechercher de nouvelles techniques et à améliorer les techniques existentes pour réussir à pratiquer l'analyse de systèmes de taille toujours plus grande.

En général nos méthodes prennent appui sur la structuration hiérarchique de la modélisation (par exemple en Esterel) pour raffiner les calculs d'espace d'états. Nous étudions des partitionnement de la relation de transition, des méthodes de réduction compositionnelle des modèles, des approximations conservatives, des abstractions de données et des représentations symboliques de contextes séquentiels, pour former une panoplie d'outils permettant d'attaquer de diverses façons ce problème de complexité de représentation.

## 4 Domaines d'applications

### 4.1 Télécommunications

**Mots clés** : télécommunications, protocoles, mobilité.

C'est naturellement un domaine important pour les systèmes réactifs et la communication par messages. Nos contributions y portent à la fois sur la spécification et sur la programmation fiable à l'aide de formalismes adaptés de haut niveau.

#### 4.1.1 Programmation réactive synchrones de protocoles

Les téléphones ou postes de radio portables du futur vont devenir de véritables systèmes multimédia capables d'allier son, images, navigation Internet, consultation de base de données et relais de communications simultanées sur différentes gammes d'ondes. Ils auront leurs protocoles dédiés, avec normalisations UMTS, et des algorithmes de cryptage et d'évasion de

fréquence. Les protocoles devront être téléchargeables. Nous collaborons avec Thomson sur l'utilisation d'Esterel pour programmer des piles protocolaires radio. Le projet PLANETE de l'INRIA conduit aussi des expériences sur l'utilisation d'Esterel pour des protocoles de nature similaire.

#### 4.1.2 Spécification de microcontrôleurs dédiés

Le développement de microprocesseurs dédiés aux systèmes mobiles du futur (téléphones cellulaires notamment) passe par la spécification complète de haut niveau de tels systèmes, dans des buts de tests intensifs et de validation avant la mise en production effective des circuits. Nous collaborons avec la société Texas Instruments sur ces thèmes, afin de concevoir un modèle logiciel fiable (dénommé «Golden Model» dans leur processus de conception) qui puisse être utilisé en aval par les industriels développeurs d'application pour valider leurs concepts avant même la fourniture effective des microprocesseurs.

### 4.2 Systèmes embarqués en avionique/automobile

**Mots clés :** systèmes embarqués, transports, protocoles, programmation réactive, contrôleur, avionique, automobile.

Les systèmes embarqués étant souvent critiques pour leur fiabilité, il est essentiel de les développer et de les valider avec des méthodes formelles de programmation et de vérification. Par leur parallélisme inhérent de programmation, les langages synchrones permettent de s'affranchir de la gestion dynamique de tâches parallèles telle qu'on la trouve dans les systèmes classiques comme les OS temps-réel et qui est difficile à maîtriser. Le déterminisme des programmes parallèles Esterel permet une mise au point et une vérification beaucoup plus simple. Nous collaborons activement avec Dassault Aviation sur ces thèmes, ce qui a constitué le moteur principal des améliorations du langage Esterel par retour d'expériences au cours des dix dernières années.

### 4.3 Synthèse de circuits

**Mots clés :** circuit, contrôleur, matériel.

Les circuits matériels deviennent de plus en plus complexes, surtout en ce qui concerne le contrôle des chemins de données (pipeline, cohérence de caches, interfaces bus, etc.). Esterel est adapté à la description et à la synthèse efficace de contrôleurs matériels. Nous travaillons sur ce thème avec le laboratoire «Intel Strategic CAD lab» de Portland, US. Nous avons acquis, pour valider nos résultats de synthèse, la plate-forme de CAO électronique Synopsys par le biais de l'opération européenne *EuroPractice*.

### 4.4 Conception conjointe matériel / logiciel

**Mots clés :** ingénierie, circuits digitaux.

Les systèmes embarqués sont souvent faits de composants mixtes matériel / logiciel dont la

conception doit être conjointe. Les langages synchrones sont bien adaptés à ce problème, car ils peuvent être compilés indifféremment sur des cibles matérielles ou logicielles. Nous travaillons dans ce domaine avec la société Cadence Design Systems. Cette société développe des langages fortement inspirés d'Esterel, mais à la syntaxe influencée par les langages C (comme ECL, «Esterel C Language») ou Java (comme Jester, «Java-Estere»). Nous étudions la possibilité d'intégrer ces formalismes dans le produit VCC (Virtual Components Compiler).

Comme les systèmes conjoints n'ont pas d'horloge unique, nous étudions également une version multihorloge du langage.

## 5 Logiciels

### 5.1 Esterel

**Participants** : Gérard Berry, Amar Bouali, Yannis Bres, Loïc Henry-Gréard, Dumitru Potop.

**Mots clés** : Esterel, compilateur, synthèse, optimisation, causalité, interface graphique.

**Résumé** : *Le compilateur Esterel v5 traduit les programmes Esterel en circuits ou programmes C, en pleine conformité avec la sémantique constructive.*

Le compilateur Esterel v5 consiste en plusieurs processeurs permettant de produire des codes objets pour des cibles matérielles ou logicielles. L'environnement de programmation contient également un simulateur-débogueur graphique permettant de mettre au point les programmes, des optimiseurs spécialisés fondés sur des techniques de calcul booléen, et des interfaces vers des systèmes de vérification automatique de propriétés.

Le compilateur a été conçu de façon préindustrielle pour offrir de bonnes performances et une grande robustesse. Il est diffusé sur le Web en version binaire d'évaluation à l'URL <http://www.esterel.org/>. Les sociétés Dassault Aviation et Synopsys en ont acquis des licences sources. Il est désormais industrialisé et diffusé par la société Esterel Technologies, qui développe également autour de cette base un formalisme de représentation graphique, issu à l'origine des travaux de Charles André de l'ISIS, et nommé SyncCharts.

Une version prototype du nouveau compilateur Esterel v6 est en cours d'achèvement. Cette version contient nos contributions récentes de recherche quand elles donnent lieu à des réalisations logicielles expérimentales. Celles-ci sont décrites en section *Résultats nouveaux*.

### 5.2 Xeve

**Participants** : Amar Bouali, Robert de Simone, Xavier Thirioux.

**Mots clés** : vérification automatique, BDD, abstraction, minimisation, partitionnement, réduction, équivalence comportementale, bisimulation, observateur, sûreté, vivacité, logiciel fiable, interface graphique.

**Résumé** : *Ce logiciel traduit en algorithmes nos travaux sur le «model-checking»*

*efficace de systèmes réactifs synchrones.*

Les spécifications réactives synchrones modélisent fréquemment des systèmes embarqués, pour lesquels la fiabilité fonctionnelle est un élément critique. Les méthodes formelles, et en particulier les activités de vérification automatique connues sous l'appellation de «model-checking», ont donc rencontré un essor important dans les années récentes. Les problèmes pratiques posés sont ceux du passage à l'échelle des algorithmes d'analyse et de construction de la représentation de l'espace d'états atteignables, dans des applications de taille industrielle.

Le logiciel Xeve contient l'essentiel de nos contributions dans ce domaine. Il s'appuie sur la bibliothèque TiGeR, pour la manipulation de représentations symbolique à base de Diagrammes de Décision Binaires (BDD). Xeve calcule des propriétés de sûreté et d'équité comportementales, ainsi que des quotients par bisimulation des espaces d'états atteignables. Il optimise ce calcul d'états de nombreuses façons, et nous poursuivons constamment des recherches sur de nouvelles techniques algorithmiques pour rendre plus efficace ce calcul, central dans l'analyse et la vérification automatique des systèmes réactifs synchrones.

Cette année nous avons augmenté les fonctionnalités d'Xeve en ajoutant des mécanismes d'expression simple de propriétés, par le biais de nouveaux signaux combinatoires de sortie et de contextes simples. Ces propriétés sont évaluées par des algorithmes dédiés, plus efficaces que les méthodes générales d'interprétation par observateurs. Ce travail est effectué par Xavier Thirioux, ingénieur-expert dans le projet sur le contrat RNRT Syntel.

## 6 Résultats nouveaux

### 6.1 Compilation et optimisation modulaire d'Esterel

**Participants :** Gérard Berry, Amar Bouali, Loïc Henry-Gréard, Robert de Simone.

**Mots clés :** Esterel, modularité, optimisation, compositionnalité.

Le compilateur Esterel v5 actuel compile d'un seul coup toute une application. Cette compilation monolithique trouve actuellement ses limites, en particulier pour les gros programmes écrits par Dassault Aviation. Nous avons étudié théoriquement de nouveaux algorithmes de compilation modulaire, qui découlent directement des propriétés mathématiques de la sémantique constructive du langage.

La compilation modulaire permet notamment d'optimiser les composants compilés séparément, au niveau d'une représentation en *systèmes d'équations booléennes* et donc essentiellement comme des circuits synchrones. Certains calculs ultérieurs sur le système global recomposé peuvent s'en trouver spectaculairement simplifiés. Néanmoins la compilation séparé réclame de conserver certaines informations importantes pour pouvoir pratiquer cette recombinaison ultérieure, ce qui pose des problèmes tant théoriques que pratiques. La thèse de Loïc Henry-Gréard porte sur l'étude de solutions à ces problèmes. Un premier prototype de compilateur modulaire forme le noyau du nouveau compilateur Esterel v6. Ce prototype est en phase de validation dans notre groupe et chez certains utilisateurs proches.

## 6.2 Extensions de la syntaxe et expressivité

**Participants** : Gérard Berry, Loïc Henry-Gréard.

**Mots clés** : Esterel, HDL.

Nous avons travaillé avec Mike Kichinevsky de la société Intel à des extensions d'Esterel pour la description des circuits : tableaux, codage de nombres, systèmes de modules sophistiqués, etc. Nous avons également montré comment incorporer des équations flot-de-données à *la Lustre*. Ces extensions seront implantées dans la prochaine version du langage.

Au cours d'un séjour de 3 mois et demi chez Intel Corp, Loïc Henry-Gréard a travaillé avec le *Strategic CAD lab* sur une extension au langage Esterel permettant la description du comportement de circuits multiphasés. Le travail a porté sur la définition d'un formalisme étendant les circuits synchrones au circuits multiphasés, comme cible de compilation à partir d'Esterel et base d'optimisation du résultat, ainsi que sur la recherche d'une syntaxe et d'une sémantique étendant Esterel pour décrire des comportements "phase accurate". Ce travail correspond pour le moment à une recherche interne de la société Intel, mais ses résultats ont vocation à être intégrés au développement global du langage Esterel.

## 6.3 Exécution «efficace» logicielle de programmes Esterel

**Participants** : Gérard Berry, Dumitru Potop.

**Mots clés** : Esterel, code efficace.

La traduction d'Esterel en circuits mène à un schéma simple d'exécution des programmes, qui consiste à évaluer séquentiellement toutes ces équations dans un ordre donné lors de chaque réaction du programme. Néanmoins, dans un programme hiérarchique de larges parties peuvent se révéler structurellement inactives, ce qui est difficile à détecter à ce niveau. Le sujet de thèse de Dumitru Potop consiste dans l'utilisation de la structure du programme Esterel pour définir un mode de compilation produisant un code plus efficace car n'exécutant que certaines parties actives du systèmes d'équations. Des travaux similaires ont été conduits dans la société Synopsys et au CNET Grenoble.

Ces études sont permis de développer des méthodes rapides d'optimisation de la structure des circuits produits, anticipant sur les optimisations ultérieures et orientées par la recherche de la production de code efficace.

## 6.4 Abstraction de registres dans l'analyse de programmes

**Participants** : Gérard Berry, Yannis Bres.

**Mots clés** : Esterel, code efficace.

La complexité du calcul symbolique de l'espace d'états atteignable est indirectement liée au nombre de registres composant les états locaux de cette structure. On peut simplifier ce calcul au prix d'une approximation conservatrice en «oubliant» certains registres. Une technique originale et prometteuse d'interprétation abstraite a été définie dans ce sens. Elle est basée

sur une interprétation trivaluée de certaines fonctions de transition. Son implantation et son évaluation en performance algorithmique sont en cours.

### 6.5 Partitionnement séquentiel pour le calcul symbolique d'états atteignables

**Participants :** Amar Bouali, Robert de Simone, Eric Vecchié.

L'efficacité des méthodes de model-checking symbolique repose grandement sur le partitionnement des fonctions de transition (par registre, par localité de comportement, ...). La structure des programmes Esterel permet de définir des techniques de partitionnement plus puissantes, prenant par exemple appui sur la nécessaire exclusion entre certains fragments de programme. Dans le stage de DEA de Eric Vecchié, nous sommes intéressés à l'utilisation de partitionnement séquentiel, afin de construire symboliquement l'espace d'états atteignables en procédant par étapes, suivant l'ordre séquentiel des exécutions. Ce travail a donné lieu à un prototype logiciel, qui a permis des expérimentations de ces techniques. Le problème futur est de permettre à l'utilisateur vérificateur de définir la frontière du niveau de partitionnement, afin de mieux gérer ce calcul d'espace d'états.

### 6.6 Modélisation de réseaux asynchrones de processus synchrones

**Participants :** Amar Bouali, Robert de Simone, Fabrice Peix.

Les systèmes complexes sont fréquemment constitués de nœuds réactifs synchrones connectés ensemble par des liens de communication plus asynchrones (mais à asynchronisme borné). Nous nous étions penché en 1999 sur le problème de la modélisation et de l'analyse par représentations symboliques de tels systèmes. Dans son stage de DEA Fabrice Peix a mis en œuvre ces techniques dans un prototype logiciel, ce qui a permis d'affiner nos options de modélisation.

### 6.7 Spécification simple de propriétés de correction

**Participants :** Amar Bouali, Robert de Simone, Xavier Thirioux.

Dans le cadre de notre participation au projet RNRT Syntel nous avons défini et réalisé une interface utilisateur permettant une meilleure intégration entre les logiciels Xes et Xeve, afin de permettre l'expression facile et naturelle de propriétés de correction de programmes au niveau du code source Esterel, pour une application algorithmique au niveau du code objet «circuit». Nous travaillons actuellement à étendre cette interface pour permettre l'expression de propriétés plus variées, en fondant de nouvelles techniques algorithmiques optimisées sur cette forme d'expression des propriétés. L'objectif général reste toujours d'être capable d'optimiser le calcul de l'espace de configurations atteignables du système, avec ici des indications de l'utilisateur pour mieux partitionner et diviser ce calcul.

## 6.8 Connexion avec les formalismes de descriptions de circuits

**Participant** : Annie Ressouche.

Les traducteurs de code DC issu d'Esterel vers des formalismes d'entrée d'autres systèmes ont été implantés, testés et étendus. Il s'agit de traductions vers les langages VHDL et Verilog, vers le format SHIFT utilisé dans le système de «codesign» VCC de la société Cadence, et dans une moindre mesure du format d'entrée de Syndex, logiciel du projet INRIA SOSSO.

## 7 Contrats industriels (nationaux, européens et internationaux)

### 7.1 Programmation synchrone pour les télécommunications

**Participants** : Amar Bouali, Robert de Simone, Xavier Thirioux.

Ce contrat RNRT a pour coordinateur la société Esterel Technologies, et rassemble comme partenaires, outre notre projet, les sociétés Thomson CSF et Cadence (US). Le but de cette action est d'étudier l'introduction des méthodes synchrones de modélisation dans VCC, un environnement général de simulation conjointe matériel/logiciel pour la conception de systèmes embarqués télécom commercialisé par la société Cadence et utilisé par Thomson CSF. Notre rôle consiste en l'ajustement des fonctionnalités de nos outils dans ce contexte. Ce contrat finance le poste d'ingénieur-expert de Xavier Thirioux.

### 7.2 Cadence: conception conjointe et globale

**Participants** : Gérard Berry, Xavier Fornari, Annie Ressouche, Ellen Sentovich.

Ce contrat est passé par la composante CMA / Ecole des Mines du projet Meije avec la société américaine Cadence, qui est le leader de la CAO de circuits et s'oriente fortement sur la conception conjointe matériel / logiciel et la conception globale de systèmes. Le CMA est formellement un pôle du laboratoire Européen de Cadence. Le contrat porte sur l'utilisation d'Esterel pour la conception conjointe et globale et sur la conception de nouveaux formalismes synchrones comme ECL (Esterel-C) et de leurs compilateurs.

### 7.3 Synopsys: synthèse de circuits

**Participants** : Gérard Berry, Dumitru Potop.

Ce contrat, passé par la composante CMA / Ecole des Mines du projet Meije, porte sur l'utilisation d'Esterel dans le système CoCentric Studio de Synopsys. La société Synopsys a acquis une licence source du compilateur Esterel. Cette année nous avons collaboré sur la conception d'un nouveau compilateur d'Esterel vers C, développé en interne dans cette compagnie.

## 7.4 Intel

**Participants** : Gérard Berry, Loïc Henry-Gréard.

Le travail portant sur les extensions à la description de circuits du langage Esterel et sur les circuits multiphasés fait l'objet d'un don d'Intel au CMA.

# 8 Actions régionales, nationales et internationales

## 8.1 Actions nationales

### 8.1.1 Action de développement AEE

**Participant** : Amar Bouali.

Cette action porte sur la spécification d'Architecture Électronique Embarquée. Elle s'inscrit dans le cadre du programme AEE soutenu par le ministère de l'industrie et auquel contribuent de grands groupes industriels : GIE PSA-Renault, Aérospatiale, Sagem, Siemens, Valeo, et des équipes de recherche de l'INRIA, de l'IRCyN et du LORIA. L'objectif est de concevoir et valider un processus rapide et sûr pour la définition de l'Architecture Système et le développement des logiciels associés, embarqués. Cette action vise les applications de transport, notamment l'automobile.

Notre rôle dans ce contexte a surtout consisté à promouvoir les modèles et méthodes synchrones pour la description comportementale de comportements.

### 8.1.2 Action de recherche coopérative S-JAVA

**Participant** : Robert de Simone.

Notre participation actuelle dans cette action est minime. Il s'agit principalement de transférer nos compétences en model-checking symbolique pour les voir appliquer dans le contexte des protocoles de sécurité et de la fiabilité de code embarqué (JAVA Card notamment). On notera juste ici que ces compétences devraient être reprises par Eric Madelaine, un ancien membre de notre équipe maintenant chercheur au sein du projet OASIS.

### 8.1.3 Action Color-2000 Discobac

**Participant** : Annie Ressouche.

Cette action locale, commune avec le projet INRIA Orion et les projets I3S Sports et Rainbow, a pour but d'adapter et d'exploiter les techniques de modélisation synchrone et de vérification par «model-checking» pour donner des modèles de Systèmes à Base de Connaissance permettant d'une part leur extension (à partir de bibliothèques) et leur vérification dans le cadre d'une implémentation répartie.

## 9 Diffusion de résultats

### 9.1 Animation de la Communauté scientifique

Nous avons créé le site web `www.esterel.org` pour rassembler la communauté d'utilisateurs du langage et promouvoir nos techniques et nos logiciels. Ce travail a été réalisé par Vincent Giraudon.

Gérard Berry sera co-chairman de la conférence CAV'2001. Il a donné une conférence invitée à ASE'2000 (Grenoble), et un tutoriel à FST&TCS'2000E (Delhi). Il a donné une conférence à l'*Université de tous les Savoirs*, au CNAM, intitulée «Le Logiciel, objet du quotidien».

Robert de Simone fait partie du comité de programme du colloque MSR'2001.

Robert de Simone fait partie de la commission d'évaluation de l'Institut, et a participé à ce titre à plusieurs jurys de recrutement. Il a présidé pour l'année 2000 la section d'audition du recrutement chercheur de Sophia-Antipolis. Il fait également partie de la commission de spécialistes en 27<sup>ième</sup> section de l'université de Nice/Sophia-Antipolis.

Amar Bouali a participé à la conférence CAV'2000 et a visité les laboratoires Bell Labs de Chicago.

Loïc Henry-Gréard a visité pour quatre mois la société Intel (Portland, US), dans le groupe de recherche sur la modélisation de circuits asynchrones de Mike Kichinevsky.

Yannis Brès a visité pendant trois mois la société Cadence (Berkeley, US).

Jacky Potop a visité pendant une semaine la société Synopsys (Mountain View, US).

L'ensemble de notre équipe a participé au séminaire Synchron'2000, près de Saint-Nazaire. Ces journées rassemblent pour des rencontres informelles les chercheurs du domaine «réactif synchrone», dont les trois équipes développant les formalismes Esterel, Lustre et Signal.

### 9.2 Enseignement

Robert de Simone coordonne le cours «Méthodes formelles et fiabilité du logiciel» du DEA Informatique de l'université de Nice/Sophia-Antipolis, et il y enseigne (9h); il enseigne également à l'ISIA une semaine de cours sur les méthodes formelles et leurs applications (18h).

Gérard Berry enseigne à l'ISIA des cours intitulés «Automates et Calcul Booléen» et «Circuits Synchrones» (20h chacun).

Amar Bouali enseigne dans le cadre de l'ISIA le cours «Algorithmique BDD» (9h), et les TD du cours «Automates et Calcul Booléen» (16h).

Dans le cadre du monitorat, Yannis Brès enseigne en DEUG Informatique à l'UNSA : TP d'algorithmique et programmation, cours et TP sur le Java Development Kit (en tout 92h annuelles).

Dans le cadre du monitorat, Fabrice Peix enseigne en DEUG Informatique à l'UNSA : TP Unix et systèmes informatiques (en tout 92h annuelles).

## 10 Bibliographie

### Ouvrages et articles de référence de l'équipe

- [1] G. BERRY, *The Constructive Semantics of Pure Esterel*, version électronique, 1999, <ftp://ftp.esterel.org/esterel/pub/papers/constructiveness3.ps.gz>.
- [2] G. BERRY, *The Esterel Language Primer*, version électronique, 1999, <ftp://ftp.esterel.org/esterel/pub/papers/primer.pdf>.
- [3] G. BERRY, *The Foundations of Esterel, Foundations of Computing Series*, MIT Press, 2000, <ftp://ftp.esterel.org/esterel/pub/papers/foundations.pdf>.
- [4] F. BOUSSINOT, R. DE SIMONE, «The Esterel Language», *Another Look at Real Time Programming, Proceedings of the IEEE 79*, 1991, p. 1293–1304.

### Articles et chapitres de livre

- [5] G. BERRY, A. BOUALI, X. FORNARI, E. LEDINOT, E. NASSOR, R. DE SIMONE, «Esterel: a Formal Method applied to Avionic Software Development», *Science of Computer Programming*, 36, 2000.
- [6] G. BERRY, E. SENTOVICH, «An Implementation of Constructive Synchronous Constructive Programs in Polis», *Formal Methods in Systems Design*, 17, 2000.

### Divers

- [7] D. POTOP-BUTUCARU, G. BERRY, «Fast Redundancy Elimination Using High-Level Structural Informations from Esterel», soumis à DAC'2001.